

Docket No.: 67161-085

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Tamotsu OGATA : Confirmation Number:
: :
Serial No.: : Group Art Unit:
: :
Filed: August 25, 2003 : Examiner:
: :
For: SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP2003-066122, was filed on March 12, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: August 25, 2003

67161-085

Tomotsu OGATA

日本国特許庁 August 25, 2003
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月12日

出願番号

Application Number:

特願2003-066122

[ST.10/C]:

[JP2003-066122]

出願人

Applicant(s):

三菱電機株式会社

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3025332

【書類名】 特許願
 【整理番号】 542665JP01
 【提出日】 平成15年 3月12日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/11
 H01L 21/8244
 H01L 21/768
 H01L 21/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 【氏名】 緒方 完

【特許出願人】

【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 ゲートとドレインが交差接続された1対のドライバトランジスタと、

前記ドライバトランジスタのそれぞれのドレインにソースが接続された1対のアクセストランジスタと、

前記ドライバトランジスタのそれぞれのドレインにドレインが接続され、前記ドライバトランジスタのそれぞれのゲートにゲートが接続された1対の負荷トランジスタと

を含むスタティックメモリセルを有する半導体装置であって、

半導体基板の主表面に形成された素子形成領域を横切るように、互いに間隔を隔てて形成された一のゲート電極部および他のゲート電極部と、

前記一のゲート電極部と前記他のゲート電極部とによって挟まれた前記素子形成領域の部分に形成された所定導電型の一の不純物領域と、

前記一のゲート電極部に対して、前記他のゲート電極部が位置する側とは反対側に位置する前記素子形成領域の部分に形成された前記所定導電型の他の不純物領域と、

前記一のゲート電極部および前記他のゲート電極部を覆うように前記半導体基板上に形成された層間絶縁膜と、

前記層間絶縁膜に形成され、前記他のゲート電極部の上面から前記一の不純物領域の表面を連続的に露出する一の開口部と、

前記他のゲート電極部の側面上に形成された第1ゲート側壁絶縁膜と、

前記一の開口部の側面上に形成された一の開口側壁絶縁膜と、

前記第1ゲート側壁絶縁膜の表面上に形成され、前記第1ゲート側壁絶縁膜の下方に位置する前記半導体基板の領域の部分の表面を覆う第2ゲート側壁絶縁膜と、

前記一の開口部を埋めるように形成され、前記一の不純物領域と前記他のゲート電極部とを電気的に接続する一の導電体部と

を備え、

前記1対の負荷トランジスタのうちの一方の負荷トランジスタは、前記一のゲート電極部、前記一の不純物領域および前記他の不純物領域を含んで構成され、

前記1対の負荷トランジスタのうちの他方の負荷トランジスタのゲートとなる前記他のゲート電極部と前記一方の負荷トランジスタの前記一の不純物領域とが、前記一の導電体部を介して電気的に接続された、半導体装置。

【請求項2】 前記第1ゲート側壁絶縁膜、前記一の開口側壁絶縁膜および前記第2ゲート側壁絶縁膜は前記層間絶縁膜とはエッチング特性の異なる膜である、請求項1記載の半導体装置。

【請求項3】 前記第1ゲート側壁絶縁膜、前記一の開口側壁絶縁膜および前記第2ゲート側壁絶縁膜はシリコン窒化膜を含み、前記層間絶縁膜はシリコン酸化膜を含む、請求項2記載の半導体装置。

【請求項4】 前記層間絶縁膜に形成され、前記他の不純物領域の表面を露出する他の開口部と、

前記他の開口部の側面上に形成された他の開口側壁絶縁膜と、

前記他の開口部を埋めるように形成された他の導電体部と

を備えた、請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記一の不純物領域の表面、前記他の不純物領域の表面、前記一のゲート電極部の上面および前記他のゲート電極部の上面にそれぞれ形成された金属シリサイド層を備えた、請求項1～4のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、スタティックメモリセルを備えた半導体装置に関するものである。

【0002】

【従来の技術】

半導体装置においては、半導体基板の表面に形成されたトランジスタなどの素子と、その素子を覆う絶縁膜上に形成される配線や他の素子とを電気的に接続す

るために絶縁膜にコンタクトホールが形成される。そのコンタクトホールに所定のプラグ等が形成されて、素子と配線等とが接続されることになる。

【0003】

そこで、そのようなコンタクトホールを有する従来の半導体装置の一例として、特開平11-168199号公報に記載された半導体装置について説明する。

【0004】

まず、半導体基板の主表面に素子形成領域が形成される。その素子形成領域に、ゲート絶縁膜を介在させてトランジスタのゲート電極部が形成される。次に、ゲート電極部をマスクとして、素子形成領域の表面に所定導電型の不純物イオンを注入することにより、ソース・ドレインとなる1対の不純物領域が形成される。これにより、ゲート電極部、1対のソース・ドレインを含むトランジスタが形成される。

【0005】

そのトランジスタを覆うように、半導体基板上にシリコン酸化膜からなる層間絶縁膜が形成される。その層間絶縁膜上に、1対の不純物領域のうちの一方の不純物領域と電気的に接続されるビット線が形成される。そのビット線を覆うように、層間絶縁膜上にさらにシリコン酸化膜が形成される。

【0006】

次に、そのシリコン酸化膜上にシリコン窒化膜が形成される。そのシリコン窒化膜上にレジストマスクが形成される。そのレジストマスクにより、シリコン窒化膜、シリコン酸化膜および層間絶縁膜にドライエッチング処理を施すことにより、1対の不純物領域のうちの他方の不純物領域を露出するコンタクトホールが形成される。その後、レジストマスクが除去される。

【0007】

次に、コンタクトホール内を含むシリコン窒化膜の表面上に所定の厚さのシリコン酸化膜が形成される。次に、シリコン酸化膜に異方性エッチングを施すことにより、コンタクトホールの側面上のみにシリコン酸化膜を残してサイドウォール酸化膜が形成される。

【0008】

その後、そのコンタクトホール内を含むシリコン窒化膜上に、所定導電型のポリシリコン膜のストレージノードが形成される。そのストレージノードはコンタクトホールを介して他の不純物領域と電気的に接続されることになる。

【0009】

上述した従来の半導体装置では、コンタクトホールを形成する際に、たとえば位置ずれによりコンタクトホールの側面にゲート電極部やビット線の一部が露出した場合でも、露出した部分がサイドウォール酸化膜によって覆われる。

【0010】

これにより、ストレージノードとゲート電極部との電気的な短絡、あるいは、ストレージノードとビット線との電気的な短絡が抑制されることになる。

【0011】

【特許文献1】

特開平11-168199号公報

【0012】

【発明が解決しようとする課題】

ところで、半導体装置には、1つのコンタクトホール内に不純物領域の表面（半導体基板の表面）とゲート電極部との双方を露出させ、コンタクトホール内に形成されるプラグ等を介して、その不純物領域とゲート電極部とを電気的に接続する形態（シェアードコンタクトホール）のものがある。

【0013】

シェアードコンタクトホールは、ゲート電極部と、そのゲート電極部の近傍に位置する不純物領域とを連続的に露出するように形成される。このシェアードコンタクトホールに対して上述したサイドウォール酸化膜を形成する場合には、上述した半導体装置の場合と同様に、シリコン酸化膜に異方性エッチングが施されることになる。

【0014】

しかしながら、このシリコン酸化膜に対するエッチングが過度に施された場合には、ゲート電極部の下部の半導体基板の表面近傍に位置するサイドウォール酸化膜の部分の厚さが薄くなる。サイドウォール酸化膜がより薄くなるために、本

来露出しない半導体基板の表面部分が露出しやすくなる。

【0015】

また、ゲート電極部の側面上にサイドウォール絶縁膜があらかじめ形成されているような場合には、そのサイドウォール絶縁膜の膜厚も薄くなつて、半導体基板の表面部分が露出することがある。

【0016】

そのため、シェアードコンタクトホールに形成されるプラグを介してゲート電極部から半導体基板の領域へ電流がリークしたり、あるいは、不純物領域から半導体基板の領域へ電流がリークするおそれが生じる。その結果、半導体装置が所望の動作を行なわなくなるという問題がある。

【0017】

本発明は、上記問題点を解決するためになされたものであり、その目的はリーク電流の発生が抑制される半導体装置を提供することである。

【0018】

【課題を解決するための手段】

本発明に係る半導体装置は、ゲートとドレインが交差接続された1対のドライバトランジスタと、そのドライバトランジスタのそれぞれのドレインにソースが接続された1対のアクセストランジスタと、ドライバトランジスタのそれぞれのドレインにドレインが接続され、ドライバトランジスタのそれぞれのゲートにゲートが接続された1対の負荷トランジスタとを含むスタティックメモリセルを有する半導体装置であつて、一のゲート電極部と他のゲート電極部と所定導電型の一の不純物領域と所定導電型の他の不純物領域と層間絶縁膜と一の開口部と第1ゲート側壁絶縁膜と一の開口側壁絶縁膜と第2ゲート側壁絶縁膜と一の導電体部とを備えている。一のゲート電極部および他のゲート電極部は、半導体基板の主表面に形成された素子形成領域を横切るように、互いに間隔を隔てて形成されている。所定導電型の一の不純物領域は、一のゲート電極部と他のゲート電極部によって挟まれた素子形成領域の部分に形成されている。所定導電型の他の不純物領域は、一のゲート電極部に対して、他のゲート電極部が位置する側とは反対側に位置する素子形成領域の部分に形成されている。層間絶縁膜は、一のゲート

電極部および他のゲート電極部を覆うように半導体基板上に形成されている。一の開口部は層間絶縁膜に形成され、他のゲート電極部の上面から一の不純物領域の表面を連続的に露出する。第1ゲート側壁絶縁膜は他のゲート電極部の側面上に形成されている。一の開口側壁絶縁膜は一の開口部の側面上に形成されている。第2ゲート側壁絶縁膜は第1ゲート側壁絶縁膜の表面上に形成され、第1ゲート側壁絶縁膜の下方に位置する半導体基板の領域の部分の表面を覆う。一の導電体部は一の開口部を埋めるように形成され、一の不純物領域と他のゲート電極部とを電気的に接続する。1対の負荷トランジスタのうちの一方の負荷トランジスタは、一のゲート電極部、一の不純物領域および他の不純物領域を含んで構成される。1対の負荷トランジスタのうちの他方の負荷トランジスタのゲートとなる他のゲート電極部と一方の負荷トランジスタの一の不純物領域とが、一の導電体部を介して電気的に接続されている。

【0019】

【発明の実施の形態】

本発明に係る半導体装置として、スタティックメモリセルを備えた半導体装置について説明する。まず、スタティックメモリセルの等価回路とその平面構造を図1および図2にそれぞれ示す。

【0020】

図1および図2に示すように、スタティック・ランダム・アクセス・メモリ（以下、「SRAM」と記す。）では、マトリックス状に配置された相補型データ線（ビット線）BLとワード線WLとの交差部分にメモリセルが配置される。メモリセルはフリップフロップ回路と2つのアクセストランジスタAT1, AT2とにより構成される。

【0021】

アクセストランジスタAT1, AT2のゲートは、ワード線（WL）に接続されている。ワード線によりアクセストランジスタAT1, AT2の導通が制御される。

【0022】

フリップフロップ回路では、たとえば負荷トランジスタLT1とドライバトランジ

ンジスタDT1とからなる1つのインバータと、負荷トランジスタLT2とドライバトランジスタDT2とからなる他のインバータとにおいて、入力端子と出力端子とをそれぞれ交差接続させることによって、2つの記憶ノードN1, N2が構成される。

【0023】

ドライバトランジスタDT1のゲートと負荷トランジスタLT1のゲートとは共通のゲート電極部12bによって電気的に接続されている。また、ドライバトランジスタDT2のゲートと負荷トランジスタLT2のゲートとは共通のゲート電極部12aによって電気的に接続されている。

【0024】

そのゲート電極部12aは、負荷トランジスタLT1が形成されている素子形成領域にまで延在し、所定のシェアードコンタクトホールSCに埋め込まれるプラグを介してゲート電極部12aと負荷トランジスタLT1のドレインとが電気的に接続されている。

【0025】

ゲート電極部12bについても同様に、所定のシェアードコンタクトホールSCに埋め込まれるプラグを介してゲート電極部12bと負荷トランジスタLT2のドレインとが電気的に接続されている。

【0026】

記憶ノードN1, N2では、一方の記憶ノードの電圧がハイレベルのときは、他方の記憶ノードの電圧がローレベルである状態か、またはその逆の状態の2つの安定状態が存在する。この状態は双安定状態と呼ばれている。

【0027】

所定の電源電圧がメモリセルに印加されている限り、メモリセルはその双安定状態を保持し続けることができる。SRAMにおいては、上述した1つのメモリセルがシリコン基板の表面に複数形成されている。

【0028】

次に、このメモリセルの動作について簡単に説明する。まず、特定のメモリセルにデータを書込む際には、そのメモリセルに対応するワード線(WL)により

、アクセストランジスタAT1, AT2を導通させるとともに、所望の論理値に応じて相補型のビット線の対に強制的に電圧を印加する。

【0029】

これにより、フリップフロップ回路は2つの記憶ノードN1, N2の電位が、上述した双安定状態に設定されて、データが電位差として保持される。

【0030】

一方、データを読出す際には、アクセストランジスタAT1, AT2を導通させることにより、記憶ノードN1, N2の電位がビット線に伝達されて、データが読出されることになる。

【0031】

次に、SRAMのメモリセルの断面構造として、図2に示された断面線II-IIにおける構造について説明する。この部分にはシェアードコンタクトホールSCが形成された領域が含まれることになる。

【0032】

図3に示すように、半導体基板1の表面上にゲート絶縁膜3を介在させてゲート電極部12a, 12bが形成されている。ゲート電極部12bを挟んで一方の側に位置する半導体基板1の領域には、ソースとしての不純物領域9bが形成されている。他方の側に位置する半導体基板1の領域には、ドレインとしての不純物領域9aが形成されている。

【0033】

ゲート電極部12b、不純物領域9a, 9bにより負荷トランジスタLT1が構成される。また、このゲート電極部12bは、ドライバトランジスタDT1(図2参照)のゲートと接続されている。

【0034】

一方、ゲート電極部12aは、負荷トランジスタLT2およびドライバトランジスタDT2のそれぞれのゲートと接続されている(図2参照)。

【0035】

そのゲート電極部12a, 12bは、ポリシリコン膜5a, 5bとそのポリシリコン膜5a, 5b上に形成されたコバルトシリサイド膜11a, 11cを有し

て構成される。また、不純物領域9a, 9bの表面には、コバルトシリサイド膜11b, 11dがそれぞれ形成されている。

【0036】

ゲート電極部12a, 12bの両側面上には、たとえばシリコン窒化膜によるサイドウォール絶縁膜7a, 7bがそれぞれ形成されている。そのゲート電極部12a, 12bおよびサイドウォール絶縁膜7a, 7bを覆うように、さらにシリコン窒化膜13が形成されている。

【0037】

ゲート電極部12a, 12bを覆うように、半導体基板1上に、シリコン窒化膜とはエッチング特性の異なるたとえばシリコン酸化膜による層間絶縁膜15が形成されている。

【0038】

その層間絶縁膜15にゲート電極部12aの上面とコバルトシリサイド膜11bの表面との双方を露出する、いわゆるシェアードコンタクトホール15aが形成されている。

【0039】

また、層間絶縁膜15にはコバルトシリサイド膜11dの表面を露出するコンタクトホール15bが形成されている。

【0040】

シェアードコンタクトホール15aの側面上には、シリコン窒化膜によるサイドウォール窒化膜17aが形成されている。コンタクトホール15bの側面上には、シリコン窒化膜によるサイドウォール窒化膜17bが形成されている。

【0041】

シェアードコンタクトホール15aの底に位置するサイドウォール絶縁膜7aの下部の表面上には、そのサイドウォール絶縁膜7aの下方に位置する半導体基板1の領域の部分の表面を覆うサイドウォール窒化膜17c（およびサイドウォール窒化膜13a）がさらに形成されている。

【0042】

シェアードコンタクトホール15a内には、サイドウォール窒化膜17a, 1

7 c 上にバリアメタル層 19 a を介在させてプラグ 20 a が形成されている。一方、コンタクトホール 15 b 内には、サイドウォール窒化膜 17 b 上にバリアメタル層 19 b を介在させてプラグ 20 b が形成されている。

【0043】

そのプラグ 20 a, 20 b は、層間絶縁膜 15 上に形成される所定の配線（図示せず）と電気的に接続されて、図1および図2に示されるスタティックメモリセルが構成される。

【0044】

次に、上述した S R A M を備えた半導体装置の製造方法について説明する。まず、半導体基板の主表面に、所定の素子を形成するための素子形成領域が形成され、半導体基板の主表面に、ゲート絶縁膜となる絶縁膜が形成される。半導体基板の主表面上に、ゲート絶縁膜となる絶縁膜が形成される。

【0045】

その絶縁膜上にゲート電極部となるポリシリコン膜が形成される。そのポリシリコン膜に所定の写真製版処理および加工を施すことにより、図4に示すように、半導体基板 1 の表面上にゲート絶縁膜 3 を介在させてゲート電極部の一部となるポリシリコン膜 5 a, 5 b が形成される。

【0046】

そのポリシリコン膜 5 a, 5 b を覆うように、半導体基板 1 上に膜厚約 40 ~ 60 nm (400 ~ 600 Å) のシリコン窒化膜（図示せず）が形成される。そのシリコン窒化膜に異方性エッティングを施すことにより、ポリシリコン膜 5 a, 5 b の側面上にサイドウォール窒化膜 7 a, 7 b がそれぞれ形成される。

【0047】

次に、ポリシリコン膜 5 a, 5 b およびサイドウォール窒化膜 7 a, 7 b をマスクとして、所定導電型の不純物イオンを半導体基板 1 に注入することにより、不純物領域 9 a, 9 b が形成される。

【0048】

次に、図5に示すように、ポリシリコン膜 5 a, 5 b を覆うように、半導体基板 1 上にコバルト膜 11 が形成される。適切な熱処理を施すことにより、ポリシリコン膜 5 a, 5 b 中のシリコンとコバルトとを反応させるとともに、半導体基

板1中のシリコンとコバルトとを反応させる。

【0049】

これにより、図6に示すように、ポリシリコン膜5a, 5bの上にはコバルトシリサイド膜11a, 11bがそれぞれ形成されて、ポリシリコン膜5a, 5bとコバルトシリサイド膜11a, 11bを有するゲート電極部12a, 12bが形成される。

【0050】

また、不純物領域9a, 9bの表面にはコバルトシリサイド膜11b, 11dがそれぞれ形成される。その後、未反応のコバルト膜11が除去される。

【0051】

次に、図7に示すように、ゲート電極部12a, 12bを覆うように半導体基板上に膜厚約20～50nm(200～500Å)のシリコン窒化膜13が形成される。そのシリコン窒化膜13上に、シリコン窒化膜とはエッティング特性の異なるシリコン酸化膜からなる層間絶縁膜15が形成される。

【0052】

次に、その層間絶縁膜15に所定の写真製版処理および加工が施される。これにより、図8に示すように、ゲート電極部12aの上面に位置するシリコン窒化膜13の部分からコバルトシリサイド膜11bの上に位置するシリコン窒化膜13の部分にかけてシリコン窒化膜13を連続的に露出するシェアードコンタクトホール15aが層間絶縁膜15に形成される。

【0053】

また、層間絶縁膜15にはコバルトシリサイド膜11dの上に位置するシリコン窒化膜13の部分を露出するコンタクトホール15bが形成される。

【0054】

次に、図9に示すように、シェアードコンタクトホール15a内およびコンタクトホール15b内を含む層間絶縁膜15上に、温度約600℃を超えない条件のもとで、シリコン酸化膜とはエッティング特性の異なる膜厚約10～30nm(100～300Å)のシリコン窒化膜17がさらに形成される。

【0055】

次に、図10に示すように、シリコン窒化膜17に異方性エッチングを施すことにより、シェアードコンタクトホール15aの側面にサイドウォール窒化膜17aが形成される。また、コンタクトホール15bの側面にサイドウォール窒化膜17bが形成される。

【0056】

さらに、サイドウォール絶縁膜7aの下部の表面上に、そのサイドウォール絶縁膜7aの下方に位置する半導体基板1の領域の部分の表面を覆うサイドウォール窒化膜17cが形成される。

【0057】

次に、図11に示すように、シェアードコンタクトホール15a内およびコンタクトホール15b内を含む層間絶縁膜15上に、バリアメタルとなる層19が形成される。

【0058】

次に、シェアードコンタクトホール15aおよびコンタクトホール15bを埋めるように、バリアメタルとなる層19上にプラグとなる層20が形成される。

【0059】

次に、層間絶縁膜15の上面に位置するプラグとなる層20およびバリアメタルとなる層19を除去することにより、図3に示すように、シェアードコンタクトホール15a内にバリアメタル19aおよびプラグ20aが形成される。また、コンタクトホール15b内にバリアメタル19bおよびプラグ20bが形成される。

【0060】

その後、層間絶縁膜15上にプラグ20aと電気的に接続される一の金属配線（図示せず）が形成され、プラグ20bと電気的に接続される他の金属配線（図示せず）が形成される。

【0061】

一の金属配線はプラグ20aを介してゲート電極部12aおよび不純物領域9aと電気的に接続されることになる。他の金属配線はプラグ20bを介して不純物領域9bと電気的に接続されることになる。このようにして、SRAMを備え

た半導体装置の主要部分が形成される。

【0062】

上述した半導体装置では、図12に示すように、シェアードコンタクトホール15aの底に位置するサイドウォール絶縁膜7aの下部の表面上に、そのサイドウォール絶縁膜7aの下方に位置する半導体基板1の領域の部分の表面を覆うサイドウォール窒化膜17c（およびサイドウォール窒化膜13a）が形成されている。

【0063】

これにより、シェアードコンタクトホール15aを形成する際のエッチングによりサイドウォール絶縁膜7aの厚さがたとえ薄くなつたとしても、プラグ20aから半導体基板1への電流のリークを抑制することができる。このことについて説明する。

【0064】

層間絶縁膜15にシェアードコンタクトホール15aを形成する際には、ゲート電極部12aの上面上およびコバルトシリサイド膜11bの上に位置するシリコン窒化膜13が異方性エッチングにより除去されることになる。

【0065】

このとき、異方性エッチングが過度に施された場合には、特に、サイドウォール絶縁膜7aの表面上に位置するシリコン窒化膜13の部分も除去されることがある。さらには、サイドウォール絶縁膜7aにも異方性エッチングが施されてしまうことがある。

【0066】

そのため、図13に示すように、ゲート電極部12aの側面上に位置するサイドウォール絶縁膜7aの厚さ（半導体基板に接する部分の長さ）が薄くなってしまい、半導体基板1の表面が露出した状態になることがある。

【0067】

そのような状態で、シェアードコンタクトホール15a内にバリアメタル19aとプラグ20aが形成されると、図13中Aに示すように、露出した半導体基板1の部分と接触するバリアメタル19aを介して、プラグ20aから半導体基

板1へ向かって電流がリークすることになる。

【0068】

これに対して、上述した半導体装置では、図9に示す工程において、サイドウォール窒化膜となるシリコン窒化膜17がシェアードコンタクトホール15a内に形成される。

【0069】

これにより、図8に示す工程において、シェアードコンタクトホール15aを形成する際のエッチングにより、サイドウォール絶縁膜7aの厚さが薄くなつて半導体基板の表面の一部が露出しても、図9に示す工程において、その露出した表面はシリコン窒化膜17によって覆われることになる。

【0070】

そして、図10に示す工程において、シリコン窒化膜17に異方性エッチングを施すことによりサイドウォール窒化膜17a, 17c等が形成されて、特に、露出した表面はサイドウォール窒化膜17aによって覆われることになる。

【0071】

その結果、図12に示すように、半導体基板1の表面が露出することが阻止されて、プラグ20aから半導体基板1へ向かって電流がリークすることが抑制される。

【0072】

また、上述した半導体装置では、図8に示されるコンタクトホール15bを形成する際に位置ずれが生じて、たとえば図14に示すように、ゲート電極部12b, 12cにおけるコバルトシリサイド膜11c, 11eの表面が露出することがある。

【0073】

そのような場合であっても、図9に示す工程においてシリコン窒化膜17が形成されることによって、図15に示すように、露出したコバルトシリサイド膜11cの部分がそのシリコン窒化膜17によって覆われることになる。

【0074】

その結果、プラグ20a, 20bからコバルトシリサイド膜11c, 11eへ

の電流のリークを阻止することができる。

【0075】

このようにして本半導体装置では、リーク電流の発生が抑制されて安定したS
RAMの動作を確保することができる。

【0076】

また、上述した半導体装置では、エッティング特性の互いに異なる絶縁膜としてシリコン酸化膜とシリコン窒化膜を例に挙げて説明したが、一方の絶縁膜にエッティングを施す際に他方の絶縁膜に実質的にエッティングが施されないような膜種であれば、上記膜種に限られない。

【0077】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0078】

【発明の効果】

本発明に係る半導体装置によれば、一の開口部を形成する際の加工により第1ゲート側壁絶縁膜の厚さが薄くなつて半導体基板の表面が露出したとしても、その表面は第2ゲート側壁絶縁膜によって覆われることになる。その結果、一の導電体部から半導体基板へ向かって電流がリークするのを抑制することができ、半導体装置の安定した動作を確保することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係る半導体装置におけるスタティックメモリセルの等価回路を示す図である。

【図2】 同実施の形態において、図1に示す半導体装置の平面図である。

【図3】 同実施の形態において、図2に示す断面線I—I—I—Iにおける断面図である。

【図4】 同実施の形態において、半導体装置の製造方法の一工程を示す断面図である。

【図5】 同実施の形態において、図4に示す工程の後に行なわれる工程を示す断面図である。

【図6】 同実施の形態において、図5に示す工程の後に行なわれる工程を示す断面図である。

【図7】 同実施の形態において、図6に示す工程の後に行なわれる工程を示す断面図である。

【図8】 同実施の形態において、図7に示す工程の後に行なわれる工程を示す断面図である。

【図9】 同実施の形態において、図8に示す工程の後に行なわれる工程を示す断面図である。

【図10】 同実施の形態において、図9に示す工程の後に行なわれる工程を示す断面図である。

【図11】 同実施の形態において、図10に示す工程の後に行なわれる工程を示す断面図である。

【図12】 同実施の形態において、半導体装置の効果を説明するための第1の部分断面図である。

【図13】 同実施の形態において、半導体装置の効果を説明するための比較となる第1の部分断面図である。

【図14】 同実施の形態において、半導体装置の効果を説明するための比較となる第2の部分断面図である。

【図15】 同実施の形態において、半導体装置の効果を説明するための第2の部分断面図である。

【符号の説明】

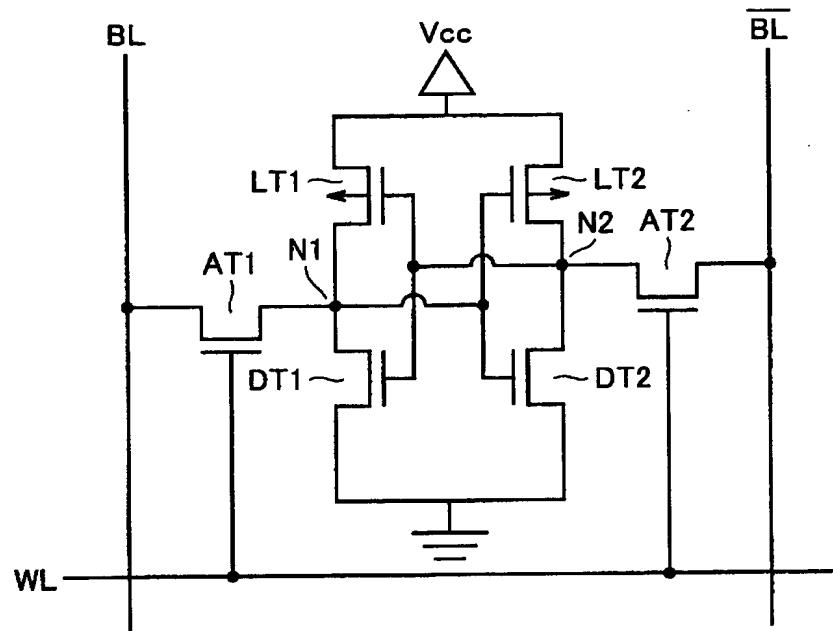
1 半導体基板、3 ゲート絶縁膜、5 a, 5 b ポリシリコン膜、7 a, 7 b サイドウォール絶縁膜、9 a, 9 b 不純物領域、11 コバルト膜、11 a～11 d コバルトシリサイド膜、12 a～12 c ゲート電極部、13, 17 シリコン窒化膜、15 層間絶縁膜、15 a シェアードコンタクトホール、15 b コンタクトホール、17 a, 17 b サイドウォール窒化膜、19 バリアメタルとなる層、19 a, 19 b バリアメタル、20 プラグとなる層

、20a, 20b プラグ。

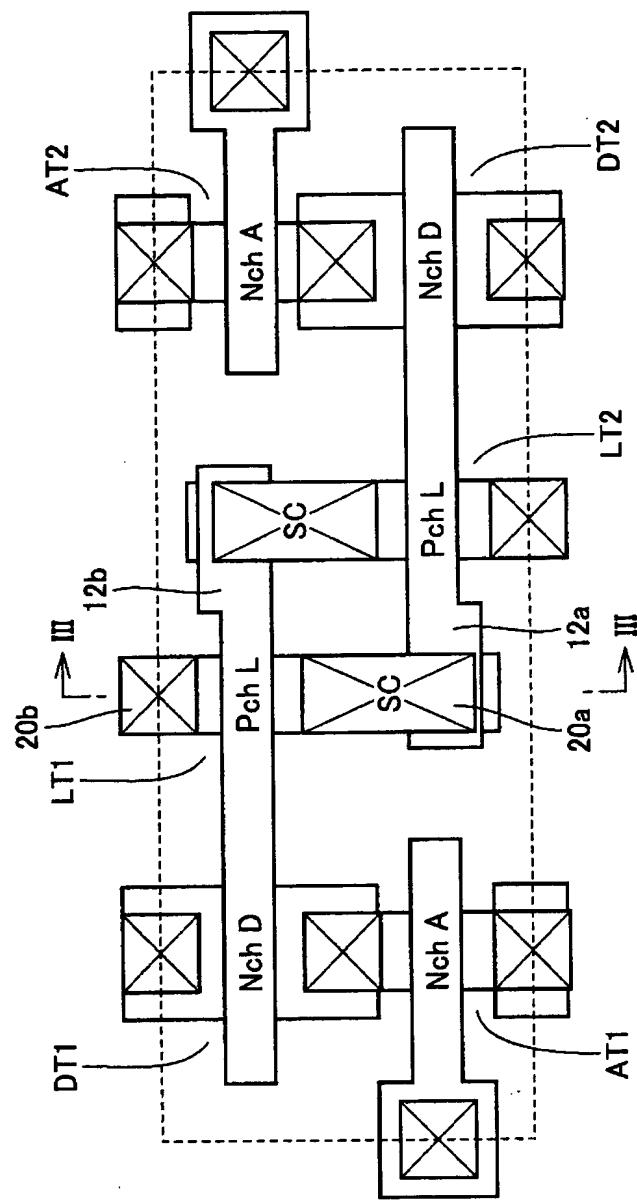
【書類名】

図面

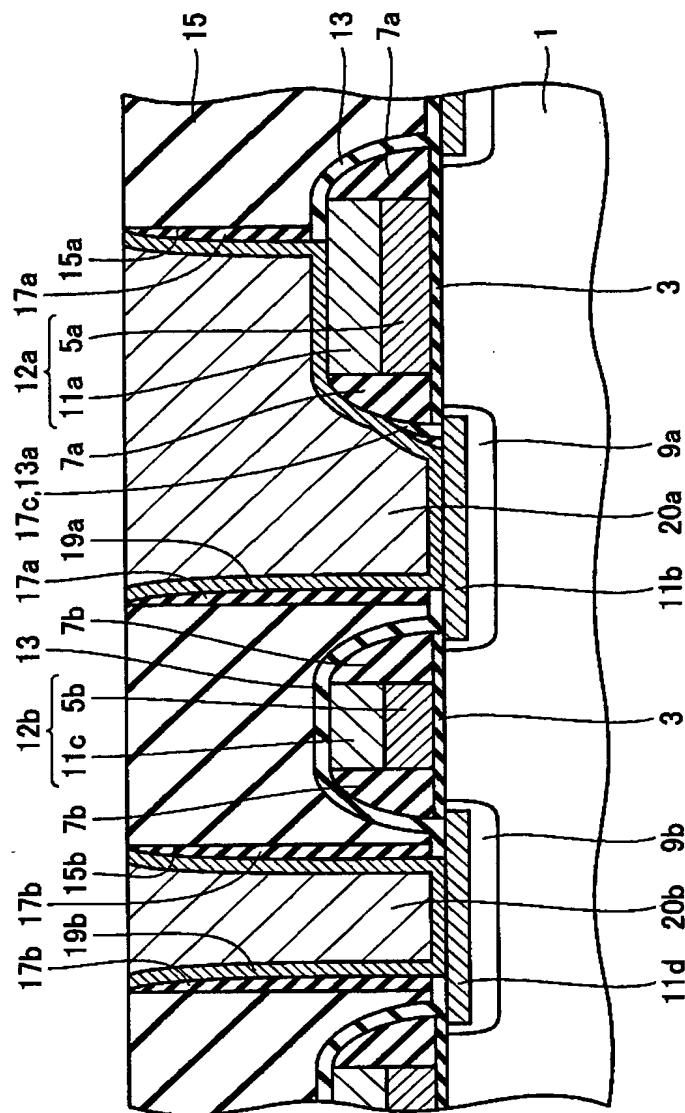
【図1】



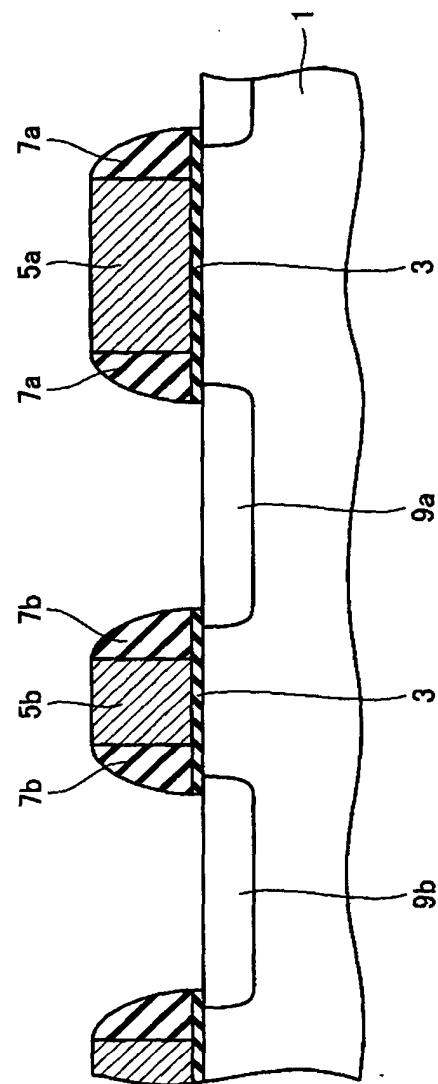
【図2】



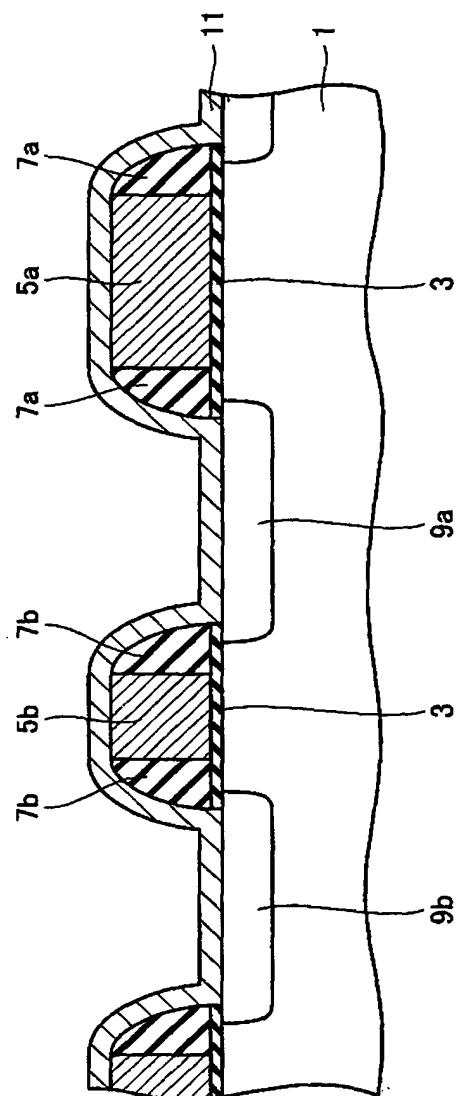
【図3】



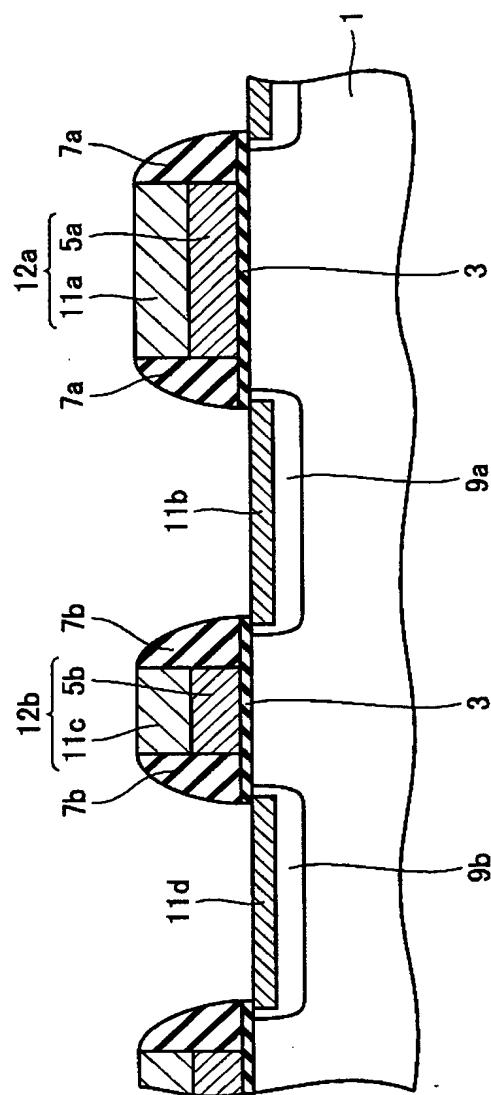
【図4】



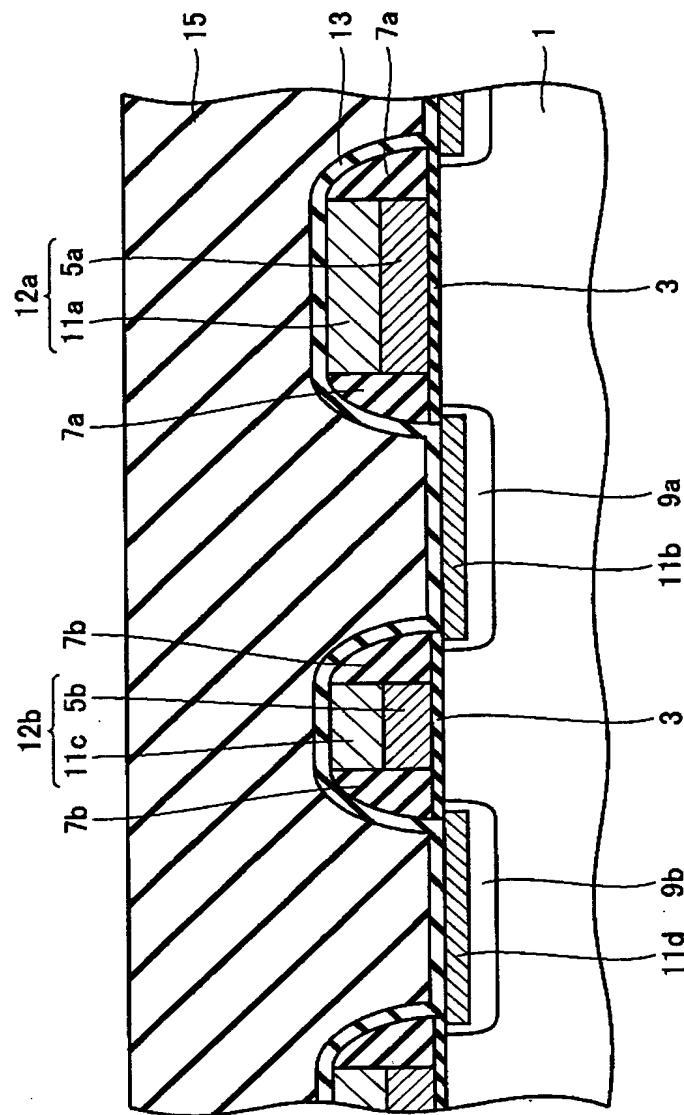
【図5】



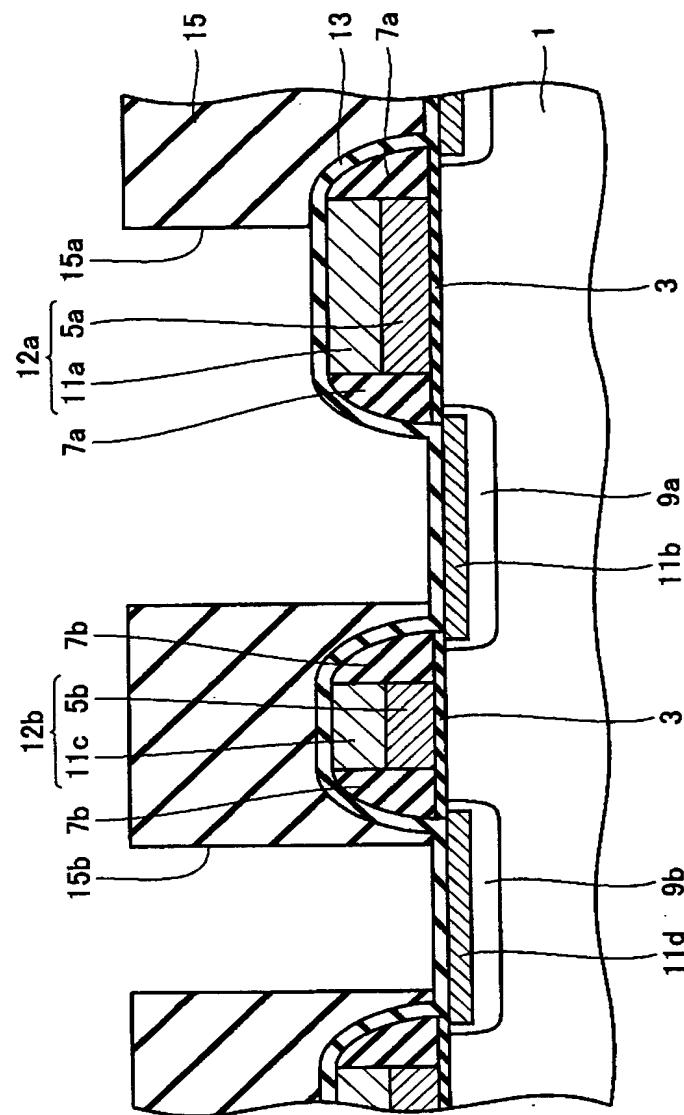
【図6】



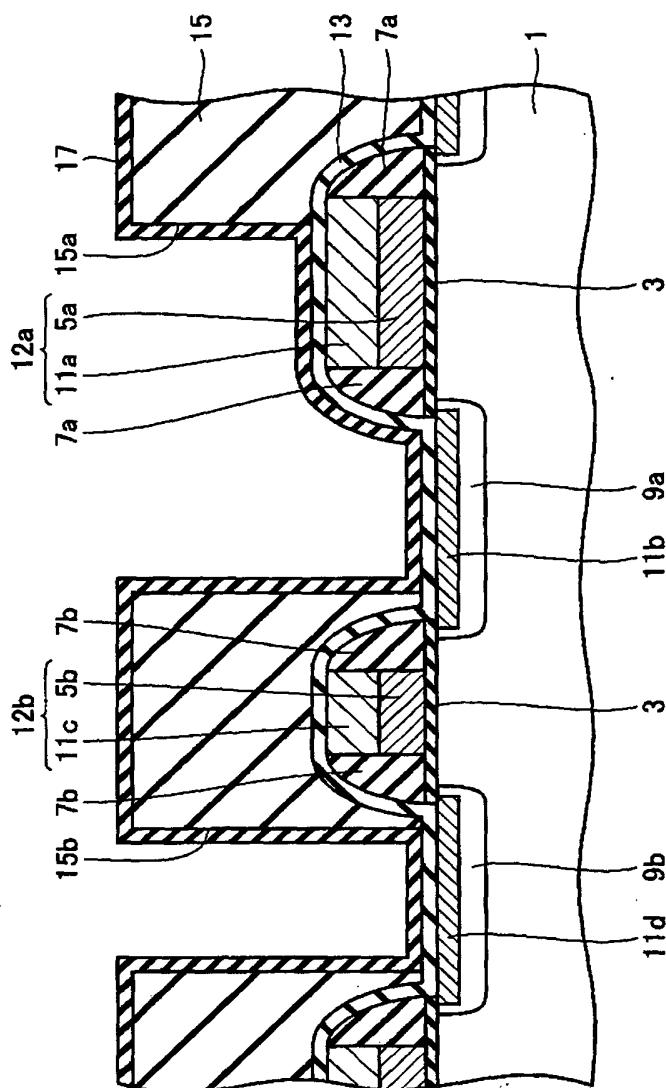
【図7】



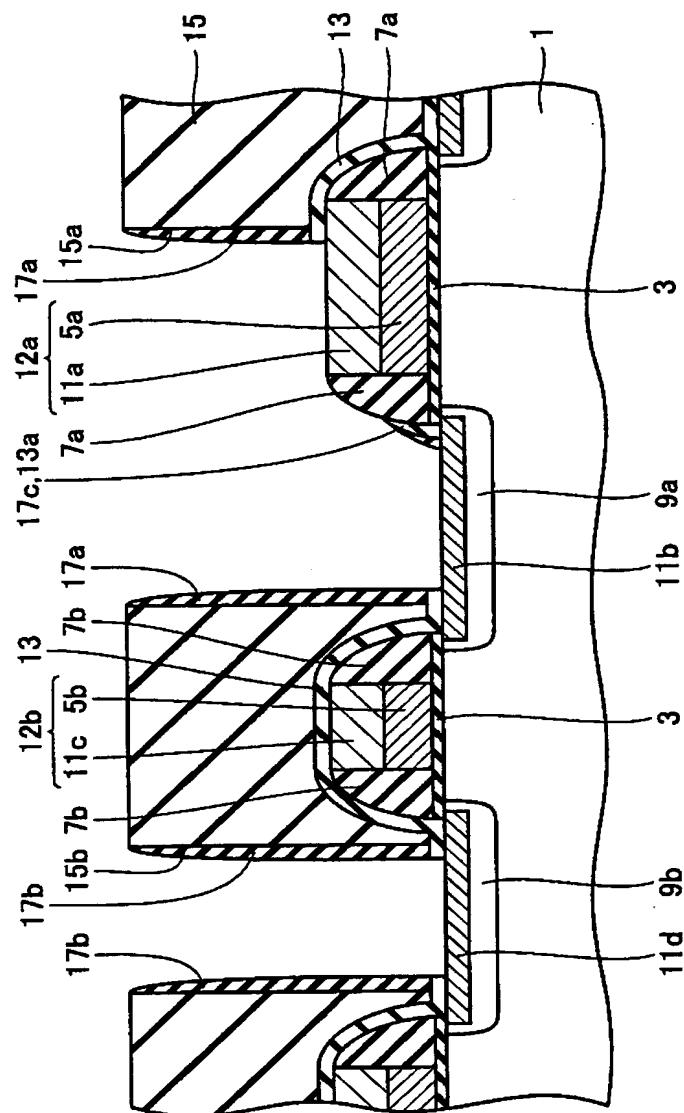
【図8】



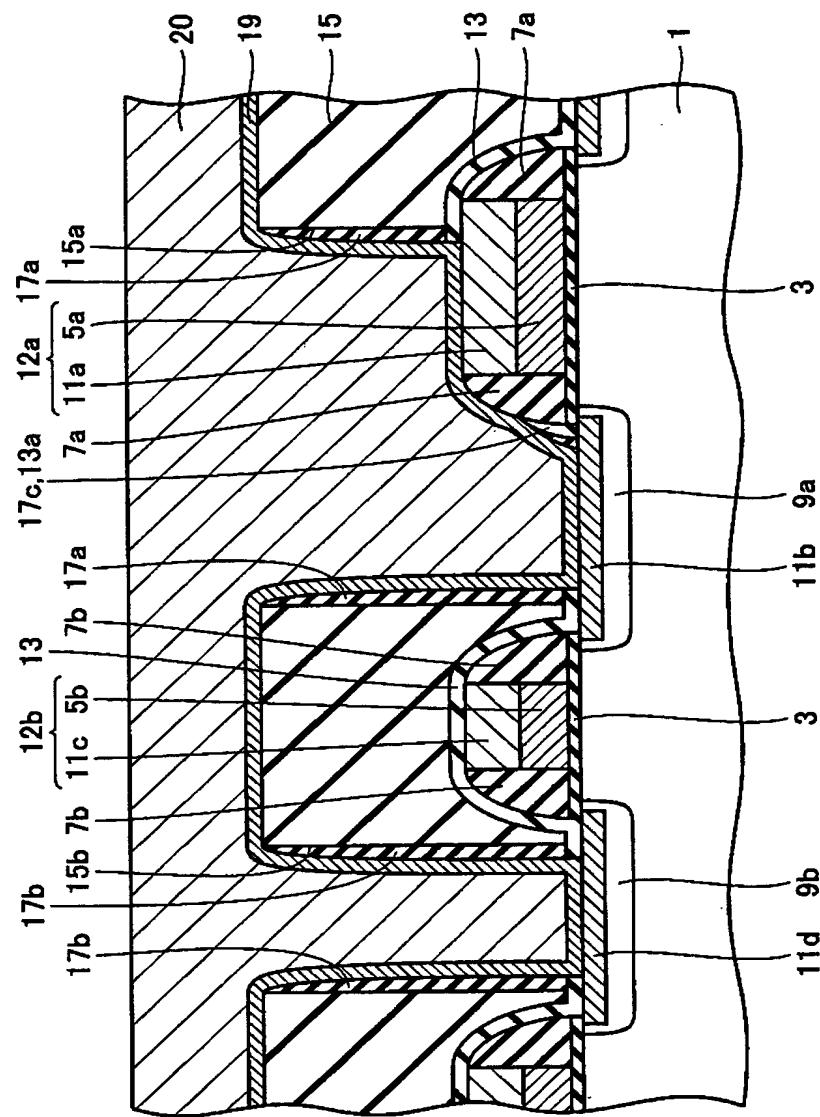
【図9】



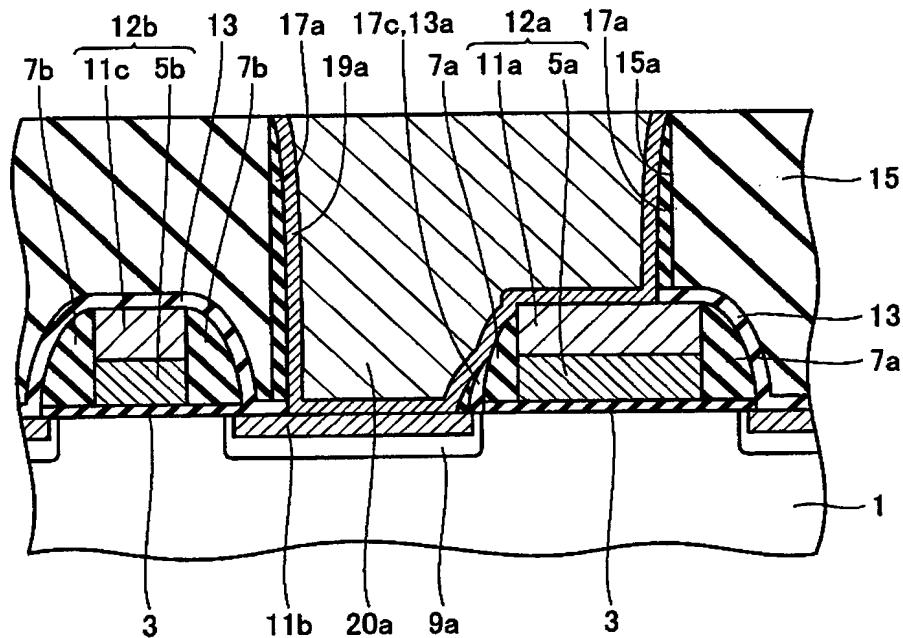
【図10】



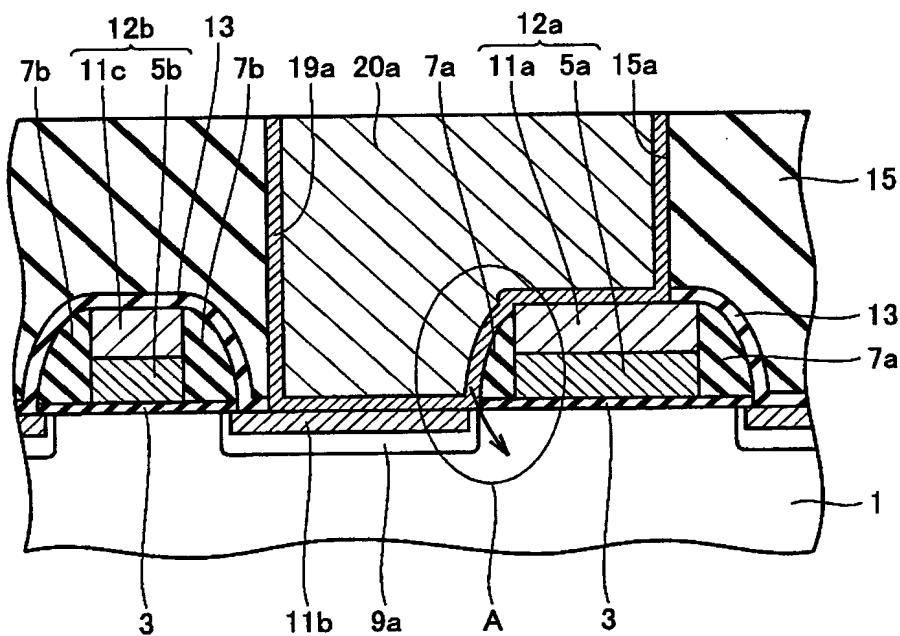
【図11】



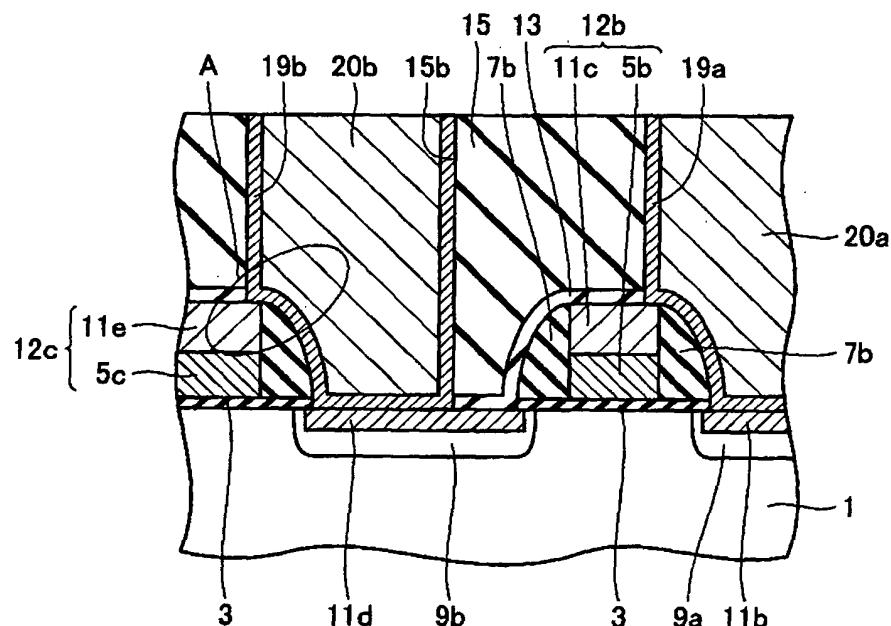
【図12】



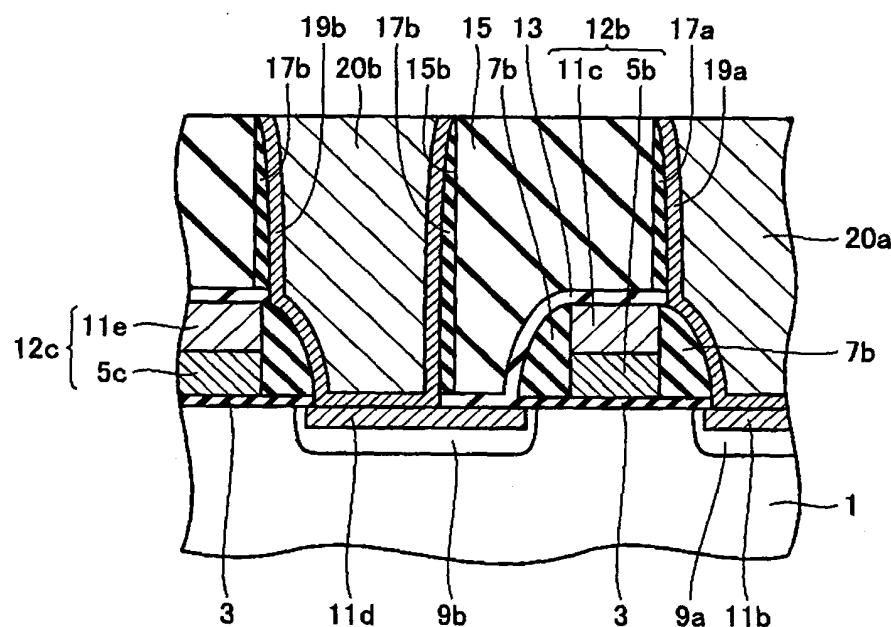
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 リーク電流の発生が抑制される半導体装置を提供する。

【解決手段】 半導体基板1の表面に形成されたゲート電極部12a, 12bを覆うように層間絶縁膜15が形成されている。その層間絶縁膜15にゲート電極12aの上面とコバルトシリサイド膜11bの表面との双方を露出するシェアードコンタクトホール15aが形成されている。その側面上にはサイドウォール窒化膜17aが形成されている。シェアードコンタクトホール15aの底に位置するサイドウォール絶縁膜7aの下部の表面上には、そのサイドウォール絶縁膜7aの下方に位置する半導体基板1の領域の部分の表面を覆うサイドウォール窒化膜17cが形成されている。シェアードコンタクトホール15a内にはバリアメタル層19aおよびプラグ20aが形成されている。

【選択図】 図3

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社